

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

11479352

Basic Patent (No,Kind,Date): JP 5299011 A2 19931112 <No. of Patents: 002>
Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
JP 5299011	A2	19931112	JP 9299420	A	19920420 (BASIC)
JP 2636630	B2	19970730	JP 9299420	A	19920420

Priority Data (No,Kind,Date):

JP 9299420 A 19920420

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 5299011 A2 19931112

FIELD EMISSION COMPONENT AND ITS MANUFACTURE (English)

Patent Assignee: FUTABA DENSHI KOGYO KK

Author (Inventor): WATANABE TERUO; ITO SHIGEO; OTSU KAZUYOSHI;
TANIGUCHI MASATERU; NISHIMURA NORIO; OCHIAI HISATAKA; YAMAGUCHI
MANABU

Priority (No,Kind,Date): JP 9299420 A 19920420

Applie (No,Kind,Date): JP 9299420 A 19920420

IPC: * H01J-001/30; H01J-009/02; H01L-021/027

CA Abstract No: ; 121(12)147007H

Derwent WPI Acc No: ; G 93-398304

JAPIO Reference No: ; 180091E000013

Language of Document: Japanese

Patent (No,Kind,Date): JP 2636630 B2 19970730

DENKAIHOSHUTSUSOSHIOYOBISONOSEIZOHOHO (English)

Priority (No,Kind,Date): JP 9299420 A 19920420

Applie (No,Kind,Date): JP 9299420 A 19920420

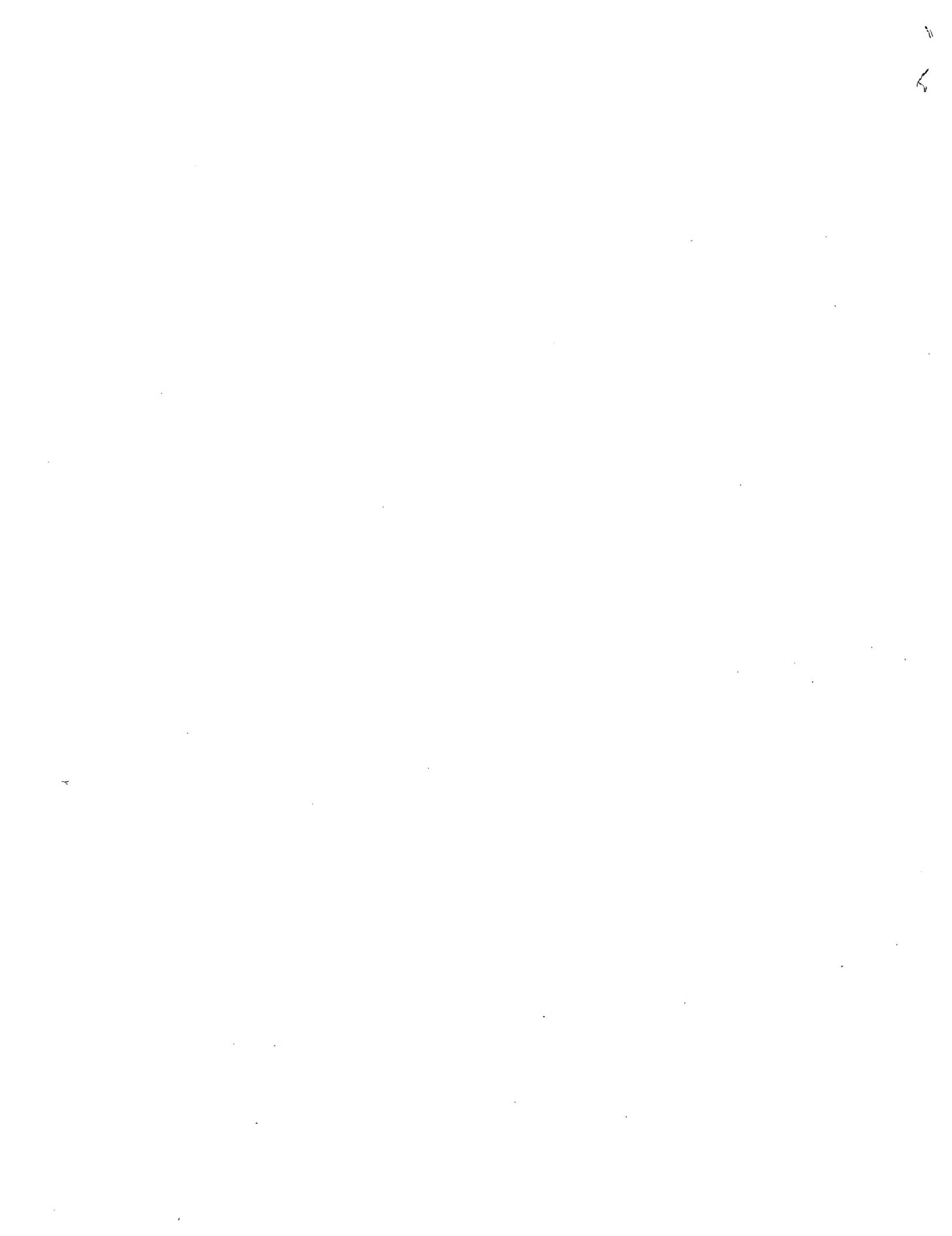
IPC: * H01J-001/30; H01J-009/02

CA Abstract No: * 121(12)147007H

Derwent WPI Acc No: * G 93-398304

JAPIO Reference No: * 180091E000013

Language of Document: Japanese



(19)日本国特許庁 (J P)

(12) 特許公報 (B 2)

(11)特許番号

第2636630号

(45)発行日 平成9年(1997)7月30日

(24)登録日 平成9年(1997)4月25日

(51)Int.Cl.
H 01 J 1/30
9/02

識別記号

府内整理番号

F 1
H 01 J 1/30
9/02

技術表示箇所
B
B

請求項の数3(全4頁)

(21)出願番号 特願平4-99420
(22)出願日 平成4年(1992)4月20日
(65)公開番号 特開平5-299011
(43)公開日 平成5年(1993)11月12日

(73)特許権者 00020184
双葉電子工業株式会社
千葉県茂原市大芝629
(72)発明者 渡辺 照男
千葉県茂原市大芝629 双葉電子工業株
式会社
(72)発明者 伊藤 茂生
千葉県茂原市大芝629 双葉電子工業株
式会社
(72)発明者 大津 和佳
千葉県茂原市大芝629 双葉電子工業株
式会社
(74)代理人 弁理士 西村 敏光

審査官 田村 茂

最終頁に続く

(54)【発明の名称】電界放出素子及びその製造方法

1

(57)【特許請求の範囲】

【請求項1】 絶縁基板上に形成されたカソード導体と、前記カソード導体上に形成されて多数の空孔を有する絶縁層と、前記各空孔内の前記カソード導体上に互いに独立して設けられた抵抗層と、前記各抵抗層上に形成されたコーン形状のエミッタと、前記絶縁層上に形成されたゲートを有する電界放出素子。

【請求項2】 前記抵抗層が、 $1 \times 10^3 \sim 1 \times 10^7$ $\Omega \cdot \text{cm}$ の抵抗率を有するP又はBをドープしたSiである請求項1記載の電界放出素子。

【請求項3】 絶縁基板上に所定パターンのカソード導体を形成する工程と、前記カソード導体上に絶縁層と金属薄膜を順次積層させる工程と、前記金属薄膜及び絶縁層をエッティングしてゲート及び多数の空孔を形成する工程と、前記ゲートと前記各空孔内の前記カソード導体に

2

正蒸着法によってSi層を形成する工程と、前記ゲート上のSi薄膜を陽極酸化法で酸化してSiO₂剥離層を形成する工程と、前記絶縁基板に真上からエミッタ材料を正蒸着させて前記各空孔内の各Si薄膜上にコーン形状のエミッタを形成する工程と、前記SiO₂剥離層上のエミッタ材料をSiO₂剥離層とともに除去する工程からなる電界放出素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電界放出素子(Field Emission Cathodes, 以下FECと呼ぶ。)と、その製造方法に関するものである。本発明のFECは、蛍光表示装置、CRT、電子顕微鏡、電子ビーム露光装置等の各種電子ビーム応用装置の電子源として有用である。

【0002】

【従来の技術】図2は、特開平1-154426号で開示されたFECである。基板100の上にはカソード導体101が形成され、その上には抵抗層102が形成されている。抵抗層102の上には絶縁層103とゲート104が順に積層されている。絶縁層103とゲート104にはホールが形成され、ホール内の抵抗層102上にはコーン形状のエミッタ105が形成されている。

【0003】上記の構造において、前記抵抗層102は多数形成されたエミッタ105について共通に設けられるものであり、カソード導体101上に連続して形成されている。また該抵抗層102は、In, O, Fe, O, ZnO, Ni-Cr合金、または不純物をドープしたSiであり、抵抗率が $1 \times 10^2 \Omega \cdot \text{cm} \sim 1 \times 10^3 \Omega \cdot \text{cm}$ となっている。

【0004】図3は、前記FECの製造工程を示している。まず、基板100上に、カソード導体101と抵抗層102と絶縁層103とゲート104を、順次積層させる。次に、同図(a)に示すように、エッチングによってゲート104と絶縁層103にホール106を形成する。

【0005】図3(b)に示すように、基板100に対して所定角度θをなす斜め上方の位置から、ゲート104の表面にNi又はAlを斜め蒸着させ、剥離層107を形成する。Ni又はAlはゲート104の表面のみに蒸着し、絶縁層103のホール106内には入らない。

【0006】そして、図3(c)に示すように、上方からエミッタ材料を蒸着してホール106内にコーン形状のエミッタ105を形成し、その後、図3(d)に示すように剥離層107とともに剥離層107上のエミッタ材料を除去する。

【0007】

【発明が解決しようとする課題】前述した従来のFECによれば、抵抗層102が共通であるために各エミッタ105が電気的に独立しておらず、あるエミッタがゲートに接触して破壊すると損傷が抵抗層102にも及び、すべてのエミッタが作用しなくなってしまうことがあった。

【0008】前述したFECの従来の製造方法によれば、ゲート104上に剥離層107を形成するためにNi又はAlの斜め蒸着を行なっていた。この方法によると、基板が大きい場合には、蒸着源と基板の各部との距離が異なってくるため、基板上の位置によって形成される剥離層の厚さにばらつきが生じる。このような剥離層の厚さのばらつきは開口径のばらつきにつながり、ホール内に形成されるエミッタの高さにばらつきを生じさせるという問題があった。また、このような斜め蒸着法による製造方法は非常に煩雑で量産性がないという問題もあった。

【0009】本発明は、エミッタごとに独立した抵抗層を有するFECと、このようなFECを斜め蒸着法を用

いずに効率よく製造できる方法を提供することを目的としている。

【0010】

【課題を解決するための手段】本発明の電界放出素子は、絶縁基板上に形成されたカソード導体と、前記カソード導体上に形成されて多数の空孔を有する絶縁層と、前記各空孔内の前記カソード導体上に互いに独立して設けられた抵抗層と、前記各抵抗層上に形成されたコーン形状のエミッタと、前記絶縁層上に形成されたゲートを有している。

【0011】また本発明によれば、前記電界放出素子において、P又はBをドープして $1 \times 10^2 \sim 1 \times 10^3 \Omega \cdot \text{cm}$ の抵抗率を有するSiで前記抵抗層を形成してもよい。

【0012】本発明に係る電界放出素子の製造方法は、絶縁基板上に所定パターンのカソード導体を形成する工程と、前記カソード導体上に絶縁層と金属薄膜を順次積層させる工程と、前記金属薄膜及び絶縁層をエッチングしてゲート及び多数の空孔を形成する工程と、前記ゲートと前記各空孔内の前記カソード導体に正蒸着によってSi層を形成する工程と、前記ゲートのSi薄膜を陽極酸化法で酸化してSiO₂剥離層を形成する工程と、前記絶縁基板に真上からエミッタ材料を正蒸着させて前記各空孔内の各Si薄膜上にコーン形状のエミッタを形成する工程と、前記SiO₂剥離層上のエミッタ材料をSiO₂剥離層とともに除去する工程を有している。

【0013】

【実施例】本発明の一実施例を図1によって説明する。図1(a)に示すように、ガラス等の絶縁基板1上にNb, Mo, Al等の金属薄膜をベタに形成し、フォトリソグラフィーの手法で所望のパターンに加工し、カソード導体2を得る。

【0014】前記カソード導体2を覆って前記絶縁基板1上にSiO₂からなる絶縁層3を形成する。該絶縁層3の形成はスパッタ法やCVD法で行ない、膜厚は約1.0μmとする。

【0015】前記絶縁層3の表面に、ゲートの材料であるNb又はMoをスパッタ法によって約0.4μmの厚さに成膜し、ゲート層を形成する。

【0016】リアクティブイオンエッティング(RIE)法で前記ゲート層に直径約1.0μmの多数の孔4aを形成し、図1(a)に示すようなゲート4を形成する。

【0017】前記カソード導体2があらわれるまで前記絶縁層3を前記ゲート4の孔4aからエッチングし、空孔5を形成する。エッチングは、バッファードフロウ(HF)等を用いたウェットエッティングでもよいし、CH₄等のガスを用いてRIE法で行うドライエッティングでもよい。この工程の後、レジストを剥離すれば、図1(a)に示す構造が得られる。

【0018】図1(b)に示すように、P又はBをドー

したSiを、エレクトロビーム蒸着(EB蒸着)法によって上方から絶縁基板1に正蒸着させる。ここで正蒸着とは、絶縁基板1の真上に蒸着源を配置し、ゲート4に対して垂直にSiを蒸着させることを指す。この正蒸着法によれば、従来行われていた斜め蒸着と異なり、絶縁基板1が比較的大きくても、蒸着源と絶縁基板1の各部との距離には大きなばらつきは生じない。

【0019】前記Siの正蒸着により、図1(b)に示すように、ゲート4の上面及び空孔5内のカソード電極2上にはSi層6及びSiからなる抵抗層7が形成される。その厚さは抵抗率が $1 \times 10^3 \Omega \cdot \text{cm} \sim 1 \times 10^4 \Omega \cdot \text{cm}$ となる寸法に設定する。

【0020】陽極酸化法を用い、ゲート4上のSi層のみを酸化してSiO₂とし、剥離層8を形成する。即ち、0.04NのKNO₃溶液中にエチレングリコールを添加した溶液を用い、前記絶縁基板1のゲート4を陽極とし、Pt又はSUSの不動態電極を陰極として、1~25mA/cm²の電流密度で陽極酸化を行なう。

【0021】図1(c)に示すように、ゲート4のSi層6はSiO₂に酸化し、剥離層8が形成される。この場合、ゲート4上のSi層6のみに通電し、カソード電極2上の抵抗層7には通電しない。従って、Si抵抗層7は変化しない。

【0022】次に、図1(c)に示すように、空孔5の真上から、エミッタ材料のMoを正蒸着させる。空孔5内の抵抗層7上にはコーン形状のエミッタ9が形成され、剥離層8上にはMoの蒸着層10が形成される。

【0023】次に、バッファード沸酸(BHF)を用いて剥離層8を除去し、不要なMoの蒸着層10を除去する。この時、BHFが空孔5内にも入り、絶縁層3を再びエッティングするので、空孔5はさらに広げられて図1*

* (d)に示すような断面形状のスピント形のFECが得られる。

【0024】

【発明の効果】本発明の電界放出素子によれば、エミッタの1個ごとにそれぞれ独立した抵抗層があるので、ショートによって過電流が流れても、ショートした部分のみが破壊するだけで、他のエミッタに損傷が波及することがない。従って寿命の長い電界放出素子が得られる。

【0025】また、本発明に係る電界放出素子の製造方法によれば、剥離層の成膜を正蒸着で行なうことができるので、膜厚を均一にすることができる、ゲート開口の孔径も均一になる。従って、多数のエミッタを均一な高さに形成できるという効果がある。

【0026】また、上述したように正蒸着法を応用しているので、基板面積が大きくても均一な電界放出素子を形成できる。

【0027】また、抵抗層と剥離層を同時に形成できるので、製造工程が簡略化される。

【図面の簡単な説明】

【図1】一実施例の製造工程図である。

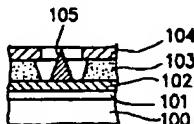
【図2】従来のFECの断面図である。

【図3】従来のFECの製造工程図である。

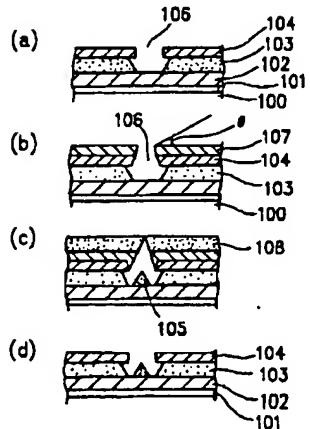
【符号の説明】

- 1 絶縁基板
- 2 カソード導体
- 3 絶縁層
- 4 ゲート
- 5 空孔
- 7 抵抗層
- 8 剥離層
- 9 エミッタ

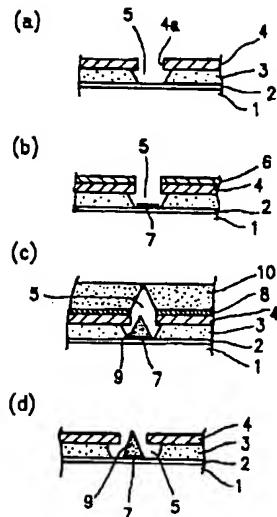
【図2】



【図3】



【図1】



フロントページの続き

(72)発明者 谷口 昌照
千葉県茂原市大芝629 双葉電子工業株
式会社
(72)発明者 西村 則雄
千葉県茂原市大芝629 双葉電子工業株
式会社

(72)発明者 落合 久隆
千葉県茂原市大芝629 双葉電子工業株
式会社
(72)発明者 山口 学
千葉県茂原市大芝629 双葉電子工業株
式会社

(56)参考文献 特開 平5-47296 (J P, A)
特開 平5-36345 (J P, A)